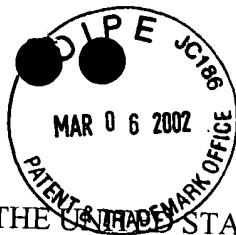


SON-2307
(80001-2307)



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

10/032,058

PK4

4/22/02

In re the Patent Application of

Katsuyuki YONEZAWA

Attn: Applications Branch

Application No. 10/032,058

Filed: December 31, 2001

For: FILRER CIRCUIT

CLAIM TO PRIORITY UNDER 35 USC 119

Commissioner for Patents
Washington, D.C. 20231

Sir:

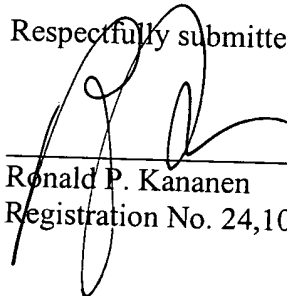
The benefit of the filing date of the following prior application filed in the following foreign country is hereby requested and the right of priority provided under 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appl. No. 20001-002272 filed January 10, 2001

In support of this claim, filed herewith is a certified copy of said original foreign application.

Respectfully submitted,

Date: March 6, 2002



Ronald P. Kananen
Registration No. 24,104

RADER, FISHMAN & GRAUER, PLLC
Lion Building
1233 20th Street, N.W.
Washington, D.C. 20036
Tel: (202) 955-37650
Customer No. 23353



500006 US00

84

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月10日

出 願 番 号

Application Number:

特願2001-002272

出 願 人

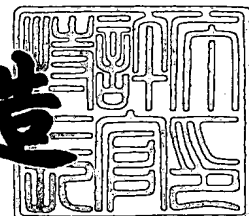
Applicant(s):

ソニー株式会社

2001年12月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3107895

【書類名】 特許願

【整理番号】 0001060601

【提出日】 平成13年 1月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H03H 11/04

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 米沢 克行

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100086298

 【弁理士】

 【氏名又は名称】 船橋 國則

 【電話番号】 046-228-9850

【手数料の表示】

 【予納台帳番号】 007364

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9904452

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フィルタ回路

【特許請求の範囲】

【請求項 1】 1 個のトランジスタと互いに並列接続されかつ各一方の電極が前記 1 個のトランジスタの第 1 電極に接続された 4 個のダイオードとの組み合わせからなり、前記 4 個のダイオードに入力信号に応じた第 1 の電流が流れる第 1 の差動回路と、

1 個のダイオードと互いに並列接続されかつ各第 1 電極が前記 1 個のダイオードの一方の電極に接続された 4 個のトランジスタとの組み合わせからなり、前記 1 個のダイオードに入力信号に応じた第 2 の電流が流れる第 2 の差動回路と、

前記 4 個のダイオードと前記 1 個のダイオードとの共通接続点に接続された電流源と、

前記電流源の電流および前記第 1, 第 2 の電流によって決まる電流が流れるコンデンサと

を備えたことを特徴とするフィルタ回路。

【請求項 2】 前記第 1 の差動回路および前記第 2 の差動回路がそれぞれ、第 1 の電源と第 2 の電源との間に複数段直列に接続されている

ことを特徴とする請求項 1 記載のフィルタ回路。

【請求項 3】 前記第 1 の差動回路が回路入力端子と回路出力端子との間に複数段直列に接続されており、

前記第 2 の差動回路が前記第 1 の差動回路の各々に対して並列に接続されている

ことを特徴とする請求項 1 記載のフィルタ回路。

【請求項 4】 前記第 1 の差動回路が複数段直列に接続されてなる第 1 の直列接続回路と、前記第 2 の差動回路が前記第 1 の直列接続回路と同じ段数だけ直列に接続されてなる第 2 の直列接続回路とが、回路入力端子と回路出力端子との間に並列に接続されている

ことを特徴とする請求項 1 記載のフィルタ回路。

【請求項 5】 前記 1 個のトランジスタの制御電極と前記 4 個のトランジス

タの各制御電極とが第 1 の回路入力端子に接続されるとともに、前記 4 個のトランジスタと前記 1 個のダイオードとの共通接続ノードが第 1 の回路出力端子に接続されており、

前記コンデンサはその一端が前記第 1 の回路出力端子に接続されている
ことを特徴とする請求項 1 記載のフィルタ回路。

【請求項 6】 第 2 の回路入力端子と第 2 の回路出力端子および前記コンデンサの他端との間に、前記第 1 の差動回路、前記第 2 の差動回路および前記電流源がさらに設けられている

ことを特徴とする請求項 5 記載のフィルタ回路。

【請求項 7】 前記 1 個のトランジスタの制御電極と前記 4 個のトランジスタの各制御電極とが直流電源に接続されるとともに、前記 4 個のトランジスタと前記 1 個のダイオードとの共通接続ノードが第 1 の回路出力端子に接続されており、

前記コンデンサは第 1 の回路入力端子と前記第 1 の回路出力端子との間に接続されている

ことを特徴とする請求項 1 記載のフィルタ回路。

【請求項 8】 前記直流電源と第 2 の回路出力端子との間に、前記第 1 の差動回路、前記第 2 の差動回路および前記電流源がさらに設けられており、

前記コンデンサは第 2 の回路入力端子と前記第 2 の回路出力端子との間にも接続されている

ことを特徴とする請求項 7 記載のフィルタ回路。

【請求項 9】 前記 1 個のトランジスタの制御電極と前記 4 個のトランジスタの各制御電極とが第 1 の回路入力端子に接続され、前記 4 個のトランジスタと前記 1 個のダイオードとの共通接続点が第 2 の回路出力端子に接続されるとともに、前記第 1 の差動回路、前記第 2 の差動回路および前記電流源が第 2 の回路入力端子と第 1 の回路出力端子との間にも設けられており、

前記コンデンサは前記第 1 の回路入力端子と前記第 1 の回路出力端子の間および前記第 2 の回路入力端子と前記第 2 の回路出力端子との間にそれぞれ接続されている

ことを特徴とする請求項 1 記載のフィルタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、1 次ローパスフィルタ、1 次ハイパスフィルタあるいは 1 次オールパスフィルタ等のフィルタ回路に関し、特に低電圧動作が可能な広ダイナミックレンジのフィルタ回路に関する。

【0002】

【従来の技術】

フィルタ回路、例えば低電圧動作が可能な広ダイナミックレンジの 1 次ローパスフィルタの従来例として、例えば特開平 9 - 6 9 7 5 2 号公報に開示されたものが知られている。この従来例に係る 1 次ローパスフィルタの回路構成を図 1 3 に示す。

【0003】

図 1 3 において、差動入力の方の回路入力端子 1 0 1 には、トランジスタ Q 1 のベース電極が接続されている。トランジスタ Q 1 のコレクタ電極は、電源電圧 VCC の電源ライン 1 0 3 に接続されている。トランジスタ Q 1 のエミッタ電極には、トランジスタ Q 2 のエミッタ電極が接続されている。トランジスタ Q 2 は、ベース電極とコレクタ電極が接続されたダイオード接続構成となっている。トランジスタ Q 1, Q 2 のエミッタ共通接続点と接地レベルの GND ライン 1 0 4 との間には電流源 1 1 1 が接続されている。

【0004】

トランジスタ Q 2 のベース・コレクタ電極には、トランジスタ Q 3 のベース・コレクタ電極が接続されている。すなわち、トランジスタ Q 3 もダイオード接続構成となっており、しかもダイオード接続構成のトランジスタ Q 2 に対して逆極性で直列に接続されている。トランジスタ Q 2, Q 3 のベース・コレクタ共通接続点と電源ライン 1 0 3 との間には電流源 1 1 2 が接続されている。トランジスタ Q 3 のエミッタ電極にはトランジスタ Q 4 のエミッタ電極が接続されている。トランジスタ Q 3, Q 4 のエミッタ共通接続点と GND ライン 1 0 4 との間には

電流源 113 が接続されている。

【0005】

以降、同様の接続関係が繰り返えられることによって計 n 個のトランジスタ $Q_1 \sim Q_n$ が接続される。そして、共にダイオード接続構成の最終段の $n-1$ 個目のトランジスタ Q_{n-1} と n 個目のトランジスタ Q_n のエミッタ共通接続点と GND ライン 104 との間に電流源 114 が接続されている。トランジスタ Q_n のベース・コレクタ共通接続点と電源ライン 103 との間には電流源 115 が接続されている。また、トランジスタ Q_n のベース・コレクタ共通接続点は差動出力の一方の回路出力端子 105 に接続されるとともに、コンデンサ 107 の一端に接続されている。

【0006】

上記の回路と全く同じ接続関係の n 個のトランジスタ（トランジスタ $Q_{2n} \sim Q_{n+1}$ ）および電流源からなる回路が、差動入力の方の回路入力端子 102 と差動出力の方の回路出力端子 106 およびコンデンサ 107 の他端との間に接続されている。なお、本例に係る 1 次ローパスフィルタは、 n が偶数の場合の回路例であり、 n が奇数の場合には、 n 個目のトランジスタ Q_n (Q_{n+1}) と回路出力端子 105 (106) およびコンデンサ 107 の一端（他端）との接続関係が図 14 に示すようになる。

【0007】

上記構成の従来例に係る 1 次ローパスフィルタの等価回路を図 15 に示す。この等価回路から明らかなように、この 1 次ローパスフィルタは、回路入力端子 101, 102 と回路出力端子 105, 106 との間にトランジスタのエミッタ抵抗 r_e がそれぞれ n 個直列に接続されるとともに、回路出力端子 105, 106 間にコンデンサ 107 が接続された回路構成となっている。

【0008】

この 1 次ローパスフィルタにおいて、入力信号を v_i 、出力信号を v_o 、各トランジスタに流れる電流を I 、コンデンサ 107 の容量を C とすると、その伝達関数 $H (= v_o / v_i)$ は、複素周波数を s とすると、

【0009】

【数 1】

$$H = \frac{\frac{1}{2re \cdot n \cdot C}}{s + \frac{1}{2re \cdot n \cdot C}} \quad \dots\dots (1)$$

【0010】

となる。ただし、エミッタ抵抗 re は $re = V_t / I$ で表される。ここで、 $V_t = kT / q$ であり、 k はボルツマン定数、 T は絶対温度、 q は電子の電荷量である。また、カットオフ周波数 f_c は、

$$f_c = 1 / 4\pi \cdot re \cdot n \cdot C$$

となる。

【0011】

この従来例に係る 1 次ローパスフィルタは、図 13 および図 14 から明らかなように、電源ライン 103 と GND ライン 104 との間に、電流源を 2 個、トランジスタ回路を 1 段だけ配置した回路構成であることから、低電圧の電源電圧にて動作が可能であるとともに、トランジスタの数 n を増やすことで、入力ダイナミックレンジを n 倍に拡大できるという特長を持っている。

【0012】

【発明が解決しようとする課題】

しかしながら、上記構成の従来例に係る 1 次ローパスフィルタでは、入力ダイナミックレンジを拡大するためにはトランジスタの数 n を増やす必要があることから、カットオフ周波数 f_c およびコンデンサ 107 の容量 C を固定とすると、トランジスタの数 n を増やすことにより、その数 n に応じて消費電流が指数関数的に増加することになる。

【0013】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、消費電流を抑えつつ入力ダイナミックレンジを拡大可能な低電圧動作のフィルタ回路を提供することにある。

【0014】

【課題を解決するための手段】

上記目的を達成するために、本発明では、1個のトランジスタと互いに並列接続されかつ各一方の電極が当該トランジスタの第1電極に接続された4個のダイオードとの組み合わせからなり、4個のダイオードに入力信号に応じた第1の電流が流れる第1の差動回路と、1個のダイオードと互いに並列接続されかつ各第1電極が当該ダイオードの一方の電極に接続された4個のトランジスタとの組み合わせからなり、1個のダイオードに入力信号に応じた第2の電流が流れる第2の差動回路とを設ける。また、4個のダイオードと1個のダイオードとの共通接続ノードに電流源を接続する。そして、この電流源の電流および上記第1、第2の電流によって決まる電流が流れるコンデンサを所定のノードに接続することにより、ローパスフィルタ、ハイパスフィルタあるいはオールパスフィルタを構成する。

【0015】

ここでは、第1、第2の差動回路を構成するトランジスタとして、バイポーラトランジスタを用いる場合を例にとる。この場合において、トランジスタの第1電極とはキャリア（電子または正孔）を注入するエミッタ電極を言い、第2電極とはキャリアが到達するコレクタ電極を言い、制御電極とはエミッタ電極から注入されたキャリアの移動を制御するための電流を供給するベース電極を言うものとする。また、ダイオードの一方の電極とはカソード電極を言い、ダイオードをトランジスタで構成した場合にはエミッタ電極を言うものとする。

【0016】

上記構成のフィルタ回路において、トランジスタとダイオードとの数の組み合わせが、1:4の割合の第1の差動回路と4:1の割合の第2の差動回路とは、それらのダイオードの接続ノードに電流源を接続することによって2つの動作点を持つ。そして、この2つの動作点を持つ第1、第2の差動回路を足し合わせることにより、ダイナミックレンジを拡大できる。また、電流源の電流を変えることにより、カットオフ周波数も可変となる。

【0017】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0018】

[第1実施形態]

図1は、本発明の第1実施形態に係るフィルタ回路の構成例を示す回路図であり、1次ローパスフィルタに適用した場合を示している。ここでは、回路を構成するトランジスタとして、NPN型のバイポーラトランジスタを用いる場合を例に採って説明するものとする。

【0019】

図1において、差動入力の方の入力信号 V_{IN+} が与えられる回路入力端子11には、トランジスタQ11のベース電極が接続されている。トランジスタQ11のコレクタ電極は、第1の電源、例えば電源電圧 V_{CC} の電源ライン13に接続されている。トランジスタQ11のエミッタ電極には、トランジスタQ12のエミッタ電極が接続されている。トランジスタQ12は、ベース電極とコレクタ電極が接続されたダイオード接続構成となっている。このダイオード接続構成のトランジスタQ12に対して、同様にダイオード接続構成の3個のトランジスタQ13～Q15が並列接続されている。

【0020】

すなわち、ダイオード接続構成の計4個のトランジスタQ12～Q15が互いに並列接続されている。これらトランジスタQ12～Q15とトランジスタQ11とにより、第1の差動回路15Aが構成されている。そして、トランジスタQ11～Q15のエミッタ共通接続点と第2の電源、例えば接地レベルの GND ライン14との間には電流源21Aが接続されている。回路入力端子11にはさらに、4個のトランジスタQ16～Q19の各ベース電極が接続されている。これらトランジスタQ16～Q19は互いに並列接続、即ちエミッタ同士およびコレクタ同士がそれぞれ接続されている。トランジスタQ16～Q19の各コレクタ電極は電源ライン13に接続されている。

【0021】

これらトランジスタQ16～Q19の各エミッタ電極に対して、トランジスタQ20のエミッタ電極が接続されている。トランジスタQ20はダイオード接続

構成となっている。このトランジスタQ20およびトランジスタQ16～Q19により、第2の差動回路16Aが構成されている。そして、トランジスタQ16～Q20のエミッタ共通接続点とGNDライン14との間には電流源22Aが接続されている。

【0022】

また、第1の差動回路15AにおけるトランジスタQ12～Q15のベース・コレクタ共通接続点と第2の差動回路16AにおけるトランジスタQ20のベース・コレクタ共通接続点とが接続されている。そして、その接続ノードAと電源ライン13との間には電流源23Aが接続されている。また、この接続ノードAはコンデンサ17の一端に接続されるとともに、回路出力端子18に接続されている。この回路出力端子18から出力信号VO+が導出される。

【0023】

上記構成の回路と全く同じ構成の回路がさらに、差動入力の方の入力信号、即ち入力信号VIN+と逆極性の入力信号VIN-が与えられる回路入力端子12と、負側の回路出力端子19およびコンデンサ17の他端との間に、コンデンサ17に関して対称に設けられる。

【0024】

すなわち、回路入力端子12には、トランジスタQ21のベース電極が接続されている。トランジスタQ21のコレクタ電極は電源ライン13に接続されている。トランジスタQ21のエミッタ電極には、トランジスタQ22のエミッタ電極が接続されている。トランジスタQ22はダイオード接続構成となっている。このダイオード接続構成のトランジスタQ22に対して、同様にダイオード接続構成の3個のトランジスタQ23～Q25が並列接続されている。

【0025】

すなわち、ダイオード接続構成の計4個のトランジスタQ22～Q25が互いに並列接続されている。これらトランジスタQ22～Q25とトランジスタQ21とにより、第1の差動回路15Bが構成されている。そして、トランジスタQ21～Q25のエミッタ共通接続点とGNDライン14との間には電流源21Bが接続されている。回路入力端子12にはさらに、4個のトランジスタQ26～

Q29の各ベース電極が接続されている。これらトランジスタQ26～Q29は互いに並列接続されている。トランジスタQ26～Q29の各コレクタ電極は電源ライン13に接続されている。

【0026】

これらトランジスタQ26～Q29の各エミッタ電極に対して、トランジスタQ30のエミッタ電極が接続されている。トランジスタQ30はダイオード接続構成となっている。このトランジスタQ30およびトランジスタQ26～Q29により、第2の差動回路16Bが構成されている。そして、トランジスタQ26～Q30のエミッタ共通接続点とGNDライン14との間には電流源22Bが接続されている。

【0027】

また、第1の差動回路15BにおけるトランジスタQ22～Q25のベース・コレクタ共通接続点と第2の差動回路16BにおけるトランジスタQ30のベース・コレクタ共通接続点とが接続されている。そして、その接続ノードBと電源ライン13との間には電流源23Bが接続されている。また、この接続ノードBはコンデンサ17の他端に接続されるとともに、回路出力端子19に接続されている。この回路出力端子19から出力信号V_Oが導出される。

【0028】

上記構成の第1実施形態に係るフィルタ回路、即ち1次ローパスフィルタにおいて、その入力ダイナミックレンジはコンデンサ17のインピーダンスの影響を受ける。すなわち、コンデンサ17のインピーダンスが大きい、つまり入力信号 v_i の周波数が低いときはダイナミックレンジが大きくなり、入力信号 v_i の周波数が高いときはダイナミックレンジが小さくなる。そして、入力信号 v_i の周波数が高くなるにつれて、コンデンサ17がショート状態に近づく。

【0029】

今仮に、入力信号 v_i が回路入力端子11, 12間に印加されたとき、コンデンサ17がショート状態にあるものとし、このときコンデンサ17に流れる電流 I_0 を考えると、コンデンサ17の両端間に印加される電圧は入力電圧 V_{IN+} と入力電圧 V_{IN-} の midpoint になる。

【0030】

図1の左側の回路について考えると、第1の差動回路15AにおけるトランジスタQ11, トランジスタQ12～Q15に流れる電流を I_1 , I_2 とすると、

$$v_i / 2 = V_t \ln(I_1 / I_s) - V_t \ln(I_2 / 4 I_s) \quad \dots (1)$$

となる。ここで、電流 I_s は飽和電流であり、トランジスタの製造プロセスによって決まる定数である。

【0031】

電流源21Aの電流を I とすると、

$$I_1 + I_2 = I \quad \dots (2)$$

となる。したがって、(1)式と(2)式より、

【0032】

【数2】

$$I_1 = \frac{I e^{\frac{v_i}{2V_t}}}{4 + e^{\frac{v_i}{2V_t}}} \quad \dots (3)$$

$$I_2 = \frac{4 I}{4 + e^{\frac{v_i}{2V_t}}} \quad \dots (4)$$

【0033】

となる。一方、第2の差動回路16AにおけるトランジスタQ20、トランジスタQ16～Q19に流れる電流を I_3 , I_4 とすると、

$$v_i / 2 = V_t \ln(I_3 / 4 I_s) - V_t \ln(I_4 / I_s) \quad \dots (5)$$

となる。電流源22Aの電流を I とすると、

$$I_3 + I_4 = I \quad \dots (6)$$

となる。したがって、(4)式と(5)式より、

【0034】

【数3】

$$I_3 = \frac{I}{1 + 4 e^{\frac{v_i}{2V_t}}} \quad \dots\dots (7)$$

$$I_4 = \frac{4 I e^{\frac{v_i}{2V_t}}}{1 + 4 e^{\frac{v_i}{2V_t}}} \quad \dots\dots (8)$$

【0035】

となる。よって、コンデンサ17に流れる電流 I_0 は、上記(4)式と(7)式より、

【0036】

【数4】

$$I_0 = I - I_2 - I_3 = \frac{4 I (e^{\frac{v_i}{V_t}} - 1)}{(4 + e^{\frac{v_i}{2V_t}}) (1 + 4 e^{\frac{v_i}{2V_t}})} \quad \dots\dots (9)$$

【0037】

となる。今、 $v_i = 0$ とすると、

$$I_1 = I_3 = I/5, \quad I_2 = I_4 = (4/5) I$$

となる。図1の右側における第1の差動回路15Bおよび第2の差動回路16Bについても、第1の差動回路15Aおよび第2の差動回路16Aと全く同様のことが言える。

【0038】

ここで、図1のフィルタ回路を等価的に表すと、図2に示すようになる。よって、コンデンサ17の容量をCとすると、本実施形態に係るフィルタ回路は、その伝達関数 $H (= v_o / v_i)$ が

【0039】

【数 5】

$$H = \frac{\frac{4I}{25V_t \cdot C}}{s + \frac{4I}{25V_t \cdot C}} \quad \dots\dots (10)$$

【0040】

となり、カットオフ周波数 f_c が

$$f_c = 2I / 25\pi \cdot V_t \cdot C$$

となる 1 次ローパスフィルタとなる。

【0041】

ここで、本実施形態に係る 1 次パスフィルタの特性について、図 13 および図 14 に示した従来例に係る 1 次パスフィルタの特性と対比して説明する。ここでは、図 13 の従来回路の場合が $n=4$ 、図 14 の従来回路の場合が $n=3$ とし、またコンデンサ 17, 107 をショートしたときに当該コンデンサに流れる電流 I_0 を比較するものとする。ただし、コンデンサ 17, 107 の容量 C およびカットオフ周波数 f_c は同じとし、カットオフ周波数 f_c を決める電流 I については回路によって変えるものとする。

【0042】

図 3 に、入力 v_i に対する電流 I_0 の特性を示す。図 3 の特性図において、□印でプロットした一点鎖線で示す曲線が図 13 の従来回路での $n=4$ の場合の特性を、○印でプロットした点線で示す曲線が図 14 の従来回路での $n=3$ の場合の特性を、×印でプロットした実線で示す曲線が本実施形態に係る回路の場合の特性をそれぞれ示している。この特性図から明らかなように、本実施形態に係る回路の方が、従来例に係る回路よりも電流 I_0 の直線性に優れている。

【0043】

図 4 に入力周波数 f が $f = f_c$ のときの入出力特性を示し、図 5 に $f = f_c$ のときの歪率 (T. H. D.) 特性を示す。これらの特性図においても、□印でプロットした一点鎖線で示す曲線が図 13 の従来回路での $n=4$ の場合の特性を、○印でプロットした点線で示す曲線が図 14 の従来回路での $n=3$ の場合の特性を

、×印でプロットした実線で示す曲線が本実施形態に係る回路の場合の特性をそれぞれ示している。図4の特性図から明らかなように、本実施形態に係る回路の方が、従来例に係る回路よりも入出力特性の直線性に優れている。また、図5の特性図から明らかなように、歪率が0.9%以内では、本実施形態に係る回路の方が、従来例に係る回路よりも優れている。

【0044】

また、消費電流について本実施形態に係る回路と従来例に係る回路とを比較すると、上述したように、カットオフ周波数 f_c を同じにした場合に、各回路に流れるトータルの電流の比を求めると、本実施形態に係るフィルタ回路は、 $n=3$ の従来例に係る回路の0.69倍、 $n=4$ の従来例に係る回路の0.39倍となり、従来回路に比べて消費電流を極めて少なく抑えることができる。

【0045】

上述したことから明らかなように、トランジスタとダイオードとの数の組み合わせが、1:4の割合の第1の差動回路15A、15Bと4:1の割合の第2の差動回路16A、16Bとを設け、それらのダイオードの接続ノードA、Bに電流源23A、23Bを接続することで、これら差動回路が2つの動作点を持つため、この2つの動作点を持つ第1の差動回路15A、15Bと第2の差動回路16A、16Bとを足し合わせることで、消費電流を抑えつつ入力ダイナミックレンジを拡大できる。また、電流源23A、23Bの電流 I を変えることで、カットオフ周波数 f_c も可変となる。

【0046】

続いて、第1実施形態に係る1次ローパスフィルタの各種の変形例について説明する。図6は、第1実施形態に係る1次ローパスフィルタの第1変形例を示す回路図である。

【0047】

この第1変形例に係る1次ローパスフィルタは、第1実施形態に係る1次ローパスフィルタの第1の差動回路15A、15Bおよび第2の差動回路16A、16Bをそれぞれ基本回路とし、この基本回路を n 段縦積み、即ち電源ライン13とGNDライン14との間に直列に接続した構成となっている。以下、具体的な

回路構成について説明する。なお、図1と同等部分には同一符号を付して示している。

【0048】

第1の差動回路15A1では、1段目のトランジスタQ11-1に対して、ダイオード接続構成の2段目のトランジスタQ11-2乃至n段目のトランジスタQ11-nが直列に接続されている。また、並列接続されたダイオード接続構成の1段目のトランジスタQ12-1～Q15-1に対して、同様に並列接続されたダイオード接続構成の2段目のトランジスタQ12-2～Q15-2乃至n段目のトランジスタQ12-n～Q15-nが直列に接続されている。そして、n段目のトランジスタQ11-nのエミッタ電極とn段目のトランジスタQ12-n～Q15-nの各エミッタ電極とが共通に接続され、かつ電流源21Aを介してGNDライン14に接続されている。

【0049】

第2の差動回路16A1では、並列接続されたダイオード接続構成の1段目のトランジスタQ16-1～Q19-1に対して、同様に並列接続されたダイオード接続構成の2段目のトランジスタQ16-2～Q19-2乃至n段目のトランジスタQ16-n～Q19-nが直列に接続されている。また、1段目のトランジスタQ20-1に対して、ダイオード接続構成の2段目のトランジスタQ20-2乃至n段目のトランジスタQ20-nが直列に接続されている。そして、n段目のトランジスタQ16-n～Q19-nの各エミッタ電極とn段目のトランジスタQ20-nのエミッタ電極とが共通に接続され、かつ電流源22Aを介してGNDライン14に接続されている。

【0050】

また、第1の差動回路15A1の1段目のトランジスタQ12-1～Q15-1乃至n段目のトランジスタQ12-n～Q15-nの各ベース・コレクタ共通接続点と、第2の差動回路16A1の1段目のトランジスタQ20-1乃至n段目のトランジスタQ20-nのベース・コレクタ共通接続点とが各段ごとに接続されている。そして、1段目のベース・コレクタ共通接続点は、電流源23Aを介して電源ライン13に接続されるとともに、コンデンサ17の一端および一方

の回路出力端子18にそれぞれ接続されている。

【0051】

第1の差動回路15B1および第2の差動回路16B1についても、第1の差動回路15A1および第2の差動回路16A1と全く同様の接続関係となっている。

【0052】

このように、第1変形例に係る1次ローパスフィルタでは、第1実施形態に係る1次ローパスフィルタの第1の差動回路15A、15Bおよび第2の差動回路16A、16Bをそれぞれn段縦積みしたことで、入力ダイナミックレンジを第1実施形態に係る1次ローパスフィルタの場合のn倍に拡大できる。ただし、本変形例の場合には、電源ライン13とGNDライン14との間にトランジスタ回路をn段直列に接続した回路構成を採っていることから、その分だけ高い電源電圧が回路動作に必要となる。

【0053】

図7は、第1実施形態に係る1次ローパスフィルタの第2変形例を示す回路図である。

【0054】

この第2変形例に係る1次ローパスフィルタは、第1実施形態に係る1次ローパスフィルタの第1の差動回路15A、15Bおよび第2の差動回路16A、16Bをそれぞれ基本回路としている。そして、第1の差動回路15Aについてn個の基本回路15A2-1～15A2-nを横並び、即ち回路入力端子11と回路出力端子18およびコンデンサ17の一端との間に直列に接続する。

【0055】

これらn個の基本回路15A2-1～15A2-nに対して、第2の差動回路16Aについてのn個の基本回路16A2-1～16A2-nをそれぞれ並列に接続する。この場合、直列に接続されたn個の基本回路15A2-1～15A2-nの各接続点と電源ライン13との間には、電流源21A-1～21A-n、22A-1～22A-nの2倍の電流2Iを流す電流源23A-1、……がそれぞれ接続されることになる。

【0056】

第1の差動回路15B2および第2の差動回路16B2についても、第1の差動回路15A2および第2の差動回路16A2と全く同様の接続関係となっている。

【0057】

このように、第2変形例に係る1次ローパスフィルタでは、第1実施形態に係る1次ローパスフィルタの第1の差動回路15A、15Bをそれぞれn段横並びにし、かつ第1の差動回路15A、15Bの各々に対して第2の差動回路16A、16Bを並列に接続したことで、第1変形例に係る1次ローパスフィルタの場合と同様に、入力ダイナミックレンジを拡大できる。また、電源ライン13とのGNDライン14との間には、電流源を2個、トランジスタ回路を1段だけ接続した構成であるため、低電源電圧にて回路動作が可能であるという利点もある。

【0058】

図8は、第1実施形態に係る1次ローパスフィルタの第3変形例を示す回路図である。

【0059】

この第3変形例に係る1次ローパスフィルタも、第2変形例に係る1次ローパスフィルタの場合と同様に、第1実施形態に係る1次ローパスフィルタの第1の差動回路15A、15Bおよび第2の差動回路16A、16Bをそれぞれ基本回路とし、この基本回路をn段横並びに配置した構成を採っている。

【0060】

異なるのは、第2変形例に係る1次ローパスフィルタでは、第1の差動回路15Aの基本回路15A2-1～15A2-nに対して、第2の差動回路16Aの基本回路16A2-1～16A2-nをそれぞれ並列に接続しているのに対し、第3変形例に係る1次ローパスフィルタでは、第1の差動回路15Aの基本回路がn個直列に接続されてなる第1の直列接続回路15A3、15B3に対して、同様に第2の差動回路16Aの基本回路がn個直列接続されてなる第2の直列接続回路16A3、16B3がそれぞれ並列に接続されている点である。

【0061】

この第3変形例に係る1次ローパスフィルタの場合にも、第2変形例に係る1次ローパスフィルタの場合と同様に、入力ダイナミックレンジの拡大が図れるとともに、低電源電圧にて回路動作が可能になる。

【0062】

なお、以上説明した各変形例では、トランジスタとダイオードとの数の組み合わせが、1:4の割合の第1の差動回路15A、15Bと4:1の割合の第2の差動回路16A、16Bとを基本回路とし、その基本回路を組み合わせる場合を具体例に挙げて説明したが、これらの基本回路に対してトランジスタとダイオードとの数の組み合わせが、1:4m（mは2以上の整数）の割合の差動回路と、4m:1の割合の差動回路とを組み合わせることも可能である。この組み合わせによれば、入力 v_i に対する電流 I_0 の特性の直線性をさらに向上できる。

【0063】

〔第2実施形態〕

図9は、本発明の第2実施形態に係るフィルタ回路の構成例を示す回路図であり、1次ハイパスフィルタに適用した場合を示している。ここでは、回路を構成するトランジスタとして、NPN型のバイポーラトランジスタを用いる場合を例に採って説明するものとする。

【0064】

図9において、第1の差動回路35Aは、コレクタ電極が電源ライン33に接続されたトランジスタQ31と、互いに並列に接続され、各エミッタ電極がトランジスタQ31のエミッタ電極に接続されたダイオード接続構成の4個のトランジスタQ32～Q35とから構成されている。そして、これらトランジスタQ31～Q35のエミッタ共通接続点とGNDライン34との間には電流源41Aが接続されている。

【0065】

一方、第2の差動回路36Aは、互いに並列に接続されたダイオード接続構成の4個のトランジスタQ36～Q39と、これらトランジスタQ36～Q39の各エミッタ電極にエミッタ電極が接続されたトランジスタQ40とから構成されている。そして、これらトランジスタQ36～Q40の各エミッタ共通接続点と

GNDライン34との間には電流源42Aが接続されている。

【0066】

また、第1の差動回路35AにおけるトランジスタQ32～Q35のベース・コレクタ共通接続点と第2の差動回路36AにおけるトランジスタQ40のベース・コレクタ共通接続点とが接続されている。そして、その接続ノードAと電源ライン33との間には電流源43Aが接続されている。この接続ノードAは、コンデンサ37Aの一端に接続されるとともに、回路出力端子38に接続されている。コンデンサ37Aの他端は、回路入力端子31に接続されている。

【0067】

第1の差動回路35AにおけるトランジスタQ31のベース電極と、第2の差動回路36AにおけるトランジスタQ36～Q39の各ベース電極は、直流電源40の負側電極に接続されている。直流電源40の正側電極は電源ライン33に接続されている。

【0068】

上記構成の第1、第2の差動回路35A、36Aと全く同じ構成の第1、第2の差動回路35B、36Bが、直流電源40の負側電極と回路出力端子39との間に設けられる。そして、第1の差動回路35BにおけるトランジスタQ41～Q45のエミッタ共通接続点とGNDライン34との間には電流源41Bが接続され、第2の差動回路36BにおけるトランジスタQ46～Q50のエミッタ共通接続点とGNDライン34との間には電流源42Bが接続されている。

【0069】

また、第1の差動回路35BにおけるトランジスタQ42～Q45のベース・コレクタ共通接続点と第2の差動回路36BにおけるトランジスタQ50のベース・コレクタ共通接続点とが接続されている。そして、その接続ノードBと電源ライン33との間には電流源43Bが接続されている。

【0070】

この接続ノードBはコンデンサ37Bの一端に接続されるとともに、回路出力端子39に接続されている。コンデンサ37Bの他端は、回路入力端子32に接続されている。第1の差動回路35BにおけるトランジスタQ41のベース電極

と、第2の差動回路36BにおけるトランジスタQ46～Q49の各ベース電極は、直流電源40の負側電極に接続されている。

【0071】

上述した構成の説明から明らかなように、第1の差動回路35A、35Bおよび第2の差動回路35B、36Bは、第1実施形態に係るフィルタ回路における第1の差動回路15A、15Bおよび第2の差動回路15B、16Bと全く同じ回路構成となっている。したがって、図9のフィルタ回路を等価的に表すと、図10に示すようになる。よって、コンデンサ37A、37Bの各容量をCとすると、本実施形態に係るフィルタ回路は、その伝達関数 $H (= v_o / v_i)$ が

【0072】

【数6】

$$H = \frac{s}{s + \frac{4I}{25V_t \cdot C}} \quad \dots\dots (11)$$

【0073】

となり、カットオフ周波数 f_c が

$$f_c = 2I / 100\pi \cdot V_t \cdot C$$

となる1次ハイパスフィルタとなる。

【0074】

この第2実施形態に係る1次ハイパスフィルタの場合にも、第1の差動回路35A、35Bおよび第2の差動回路35B、36Bが、第1実施形態に係るフィルタ回路の第1の差動回路15A、15Bおよび第2の差動回路15B、16Bと同じ回路構成であるため、第1実施形態に係る1次ローパスフィルタの場合と同様に、消費電流を抑えつつ入力ダイナミックレンジを拡大できるとともに、低電源電圧での回路動作が可能となる。

【0075】

また、第2実施形態に係る1次ハイパスフィルタに対しても、第1実施形態に係る1次ローパスフィルタの場合と同様の変形例が可能である。

【0076】

〔第 3 実施形態〕

図 1 1 は、本発明の第 3 実施形態に係るフィルタ回路の構成例を示す回路図であり、1 次オールパスフィルタに適用した場合を示している。ここでは、回路を構成するトランジスタとして、NPN 型のバイポーラトランジスタを用いる場合を例に採って説明するものとする。

【0077】

図 1 1 において、第 1 の差動回路 5 5 A は、ベース電極が正側の回路入力端子 5 1 に、コレクタ電極が電源ライン 5 3 に接続されたトランジスタ Q 5 1 と、互いに並列に接続され、各エミッタ電極がトランジスタ Q 5 1 のエミッタ電極に接続されたダイオード接続構成の 4 個のトランジスタ Q 5 2 ~ Q 5 5 とから構成されている。そして、これらトランジスタ Q 5 1 ~ Q 5 5 のエミッタ共通接続点と GND ライン 5 4 との間には電流源 6 1 A が接続されている。

【0078】

一方、第 2 の差動回路 5 6 A は、互いに並列に接続され、各ベース電極が回路入力端子 5 1 に接続されたダイオード接続構成の 4 個のトランジスタ Q 5 6 ~ Q 5 9 と、これらトランジスタ Q 5 6 ~ Q 5 9 の各エミッタ電極にエミッタ電極が接続されたトランジスタ Q 6 0 とから構成されている。そして、これらトランジスタ Q 5 6 ~ Q 6 0 の各エミッタ共通接続点と GND ライン 5 4 との間には電流源 6 2 A が接続されている。

【0079】

また、第 1 の差動回路 5 5 A におけるトランジスタ Q 5 2 ~ Q 5 5 のベース・コレクタ共通接続点と第 2 の差動回路 5 6 A におけるトランジスタ Q 6 0 のベース・コレクタ共通接続点とが接続されている。そして、その接続ノード A と電源ライン 5 3 との間には電流源 6 3 A が接続されている。この接続ノード A は、コンデンサ 5 7 A の一端に接続されるとともに、負側の回路出力端子 5 9 に接続されている。コンデンサ 5 7 A の他端は、負側の回路入力端子 5 2 に接続されている。

【0080】

上記構成の第 1、第 2 の差動回路 5 5 A、5 6 A と全く同じ構成の第 1、第 2

の差動回路 55B, 56B が、負側の回路入力端子 52 と正側の回路出力端子 58 との間に接続されている。そして、第 1 の差動回路 55B におけるトランジスタ Q61 ~ Q65 のエミッタ共通接続点と GND ライン 54 との間には電流源 61B が接続され、第 2 の差動回路 56B におけるトランジスタ Q66 ~ Q70 のエミッタ共通接続点と GND ライン 54 との間には電流源 62B が接続されている。

【0081】

また、第 1 の差動回路 55B におけるトランジスタ Q62 ~ Q65 のベース・コレクタ共通接続点と第 2 の差動回路 56B におけるトランジスタ Q70 のベース・コレクタ共通接続点とが接続されている。そして、その接続ノード B と電源ライン 53 との間には電流源 63B が接続されている。この接続ノード B は、コンデンサ 57B の一端に接続されるとともに、正側の回路出力端子 58 に接続されている。コンデンサ 57B の他端は、正側の回路入力端子 51 に接続されている。

【0082】

上述した構成の説明から明らかなように、第 1 の差動回路 55A, 55B および第 2 の差動回路 55B, 56B は、第 1 実施形態に係るフィルタ回路における第 1 の差動回路 15A, 15B および第 2 の差動回路 15B, 16B と全く同じ回路構成となっている。したがって、図 11 のフィルタ回路を等価的に表すと、図 12 に示すようになる。よって、コンデンサ 57A, 57B の各容量を C とすると、本実施形態に係るフィルタ回路は、その伝達関数 $H (= v_o / v_i)$ が

【0083】

【数 7】

$$H = \frac{s - \frac{4I}{25V_t \cdot C}}{s + \frac{4I}{25V_t \cdot C}} \quad \dots\dots (12)$$

となり、1 次オールパスフィルタとなる。

【0084】

この第3実施形態に係る1次オールパスフィルタの場合にも、第1の差動回路55A、55Bおよび第2の差動回路56Bが、第1実施形態に係るフィルタ回路の第1の差動回路15A、15Bおよび第2の差動回路16Bと同じ回路構成であるため、第1実施形態に係る1次ローパスフィルタの場合と同様に、消費電流を抑えつつ入力ダイナミックレンジを拡大できるとともに、低電源電圧での回路動作が可能となる。

【0085】

また、第3実施形態に係る1次オールパスフィルタに対しても、第1実施形態に係る1次ローパスフィルタの場合と同様の変形例が可能である。

【0086】

なお、上記各実施形態では、差動の回路入力端子間に入力信号 v_i を与え、差動の回路出力端子から出力信号 v_o を導出する差動動作のフィルタ回路の場合を例に採って説明したが、例えば負側の回路入力端子および負側の回路出力端子を接地し、正側の回路入力端子とGNDとの間に入力信号を与え、正側の回路出力端子とGNDとの間から出力信号を導出するシングル動作のフィルタ回路とすることも可能である。

【0087】

また、上記各実施形態においては、回路を構成するトランジスタとして、NPN型のバイポーラトランジスタを用いるとしたが、電源の極性を変えることでPNP型のバイポーラトランジスタを用いて構成することも可能である。

【0088】

【発明の効果】

以上説明したように、本発明によれば、トランジスタとダイオードとの数の組み合わせが、1:4の割合の第1の差動回路と4:1の割合の第2の差動回路とを設けるとともに、ダイオードに対して電流源を接続することで、消費電流を抑えつつ入力ダイナミックレンジを拡大でき、また電流源の電流を変えることでカットオフ周波数も可変となる。

【図面の簡単な説明】

【図1】

本発明の第 1 実施形態に係るフィルタ回路の構成例を示す回路図であり、1 次ローパスフィルタに適用した場合を示している。

【図 2】

第 1 実施形態に係るフィルタ回路の等価回路図である。

【図 3】

第 1 実施形態に係るフィルタ回路の入力 v_i に対する電流 I_0 の特性を示す特性図である。

【図 4】

第 1 実施形態に係るフィルタ回路の $f = f_c$ のときの入出力特性図である。

【図 5】

第 1 実施形態に係るフィルタ回路の $f = f_c$ のときの歪率特性図である。

【図 6】

第 1 実施形態の第 1 変形例に係るフィルタ回路を示す回路図である。

【図 7】

第 1 実施形態の第 2 変形例に係るフィルタ回路を示す回路図である。

【図 8】

第 1 実施形態の第 3 変形例に係るフィルタ回路を示す回路図である。

【図 9】

本発明の第 2 実施形態に係るフィルタ回路の構成例を示す回路図であり、1 次ハイパスフィルタに適用した場合を示している。

【図 10】

第 2 実施形態に係るフィルタ回路の等価回路図である。

【図 11】

本発明の第 3 実施形態に係るフィルタ回路の構成例を示す回路図であり、1 次オールパスフィルタに適用した場合を示している。

【図 12】

第 3 実施形態に係るフィルタ回路の等価回路図である。

【図 13】

従来例に係る 1 次ローパスフィルタを示す回路図であり、 n が偶数の場合を示

している。

【図 1 4】

従来例に係る 1 次ローパスフィルタを示す回路図であり、 n が奇数の場合を示している。

【図 1 5】

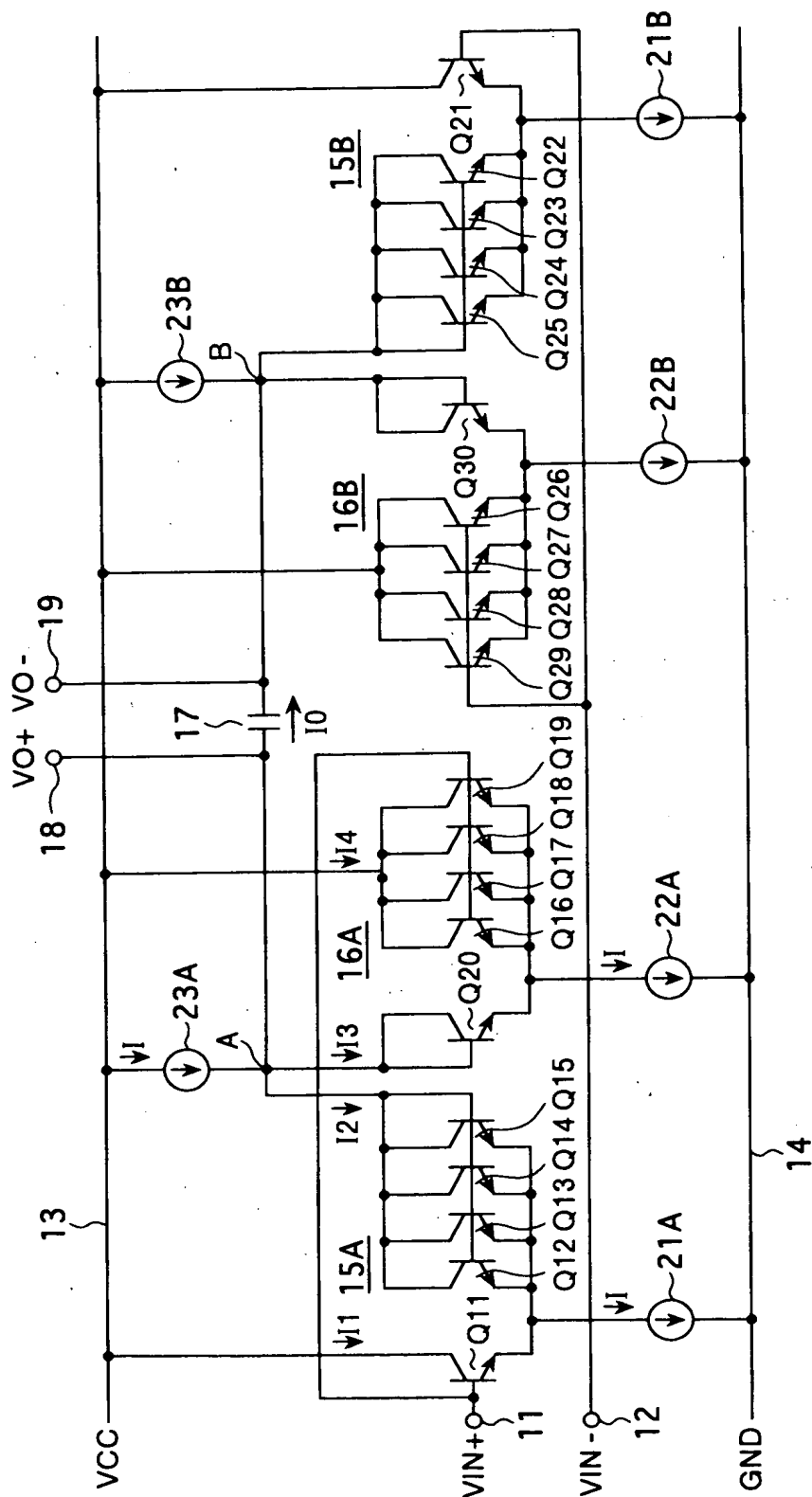
従来例に係る 1 次ローパスフィルタの等価回路図である。

【符号の説明】

1 5 A, 1 5 B, 3 5 A, 3 5 B, 5 5 A, 5 5 B…第 1 の差動回路、1 6 A
, 1 6 B, 3 6 A, 3 6 B, 5 6 A, 5 6 B…第 2 の差動回路、2 1 A, 2 1 B
, 2 2 A, 2 2 B, 2 3 A, 2 3 B, 4 1 A, 4 1 B, 4 2 A, 4 2 B, 4 3 A
, 4 3 B, 6 1 A, 6 1 B, 6 2 A, 6 2 B, 6 3 A, 6 3 B…電流源

【書類名】 図面

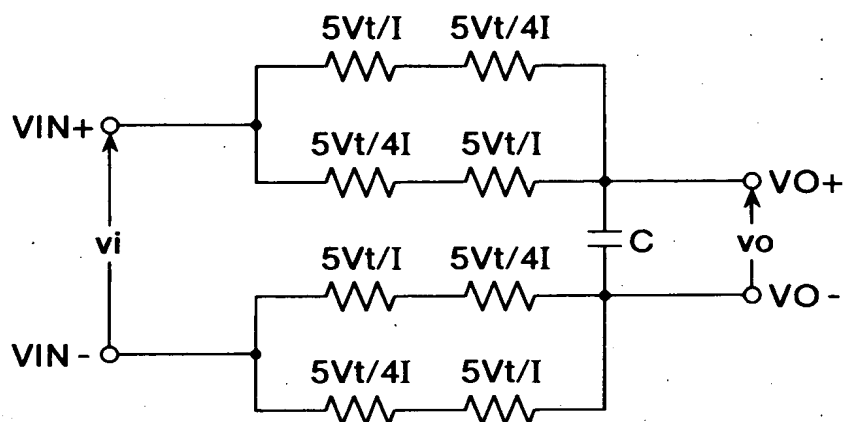
【図 1】



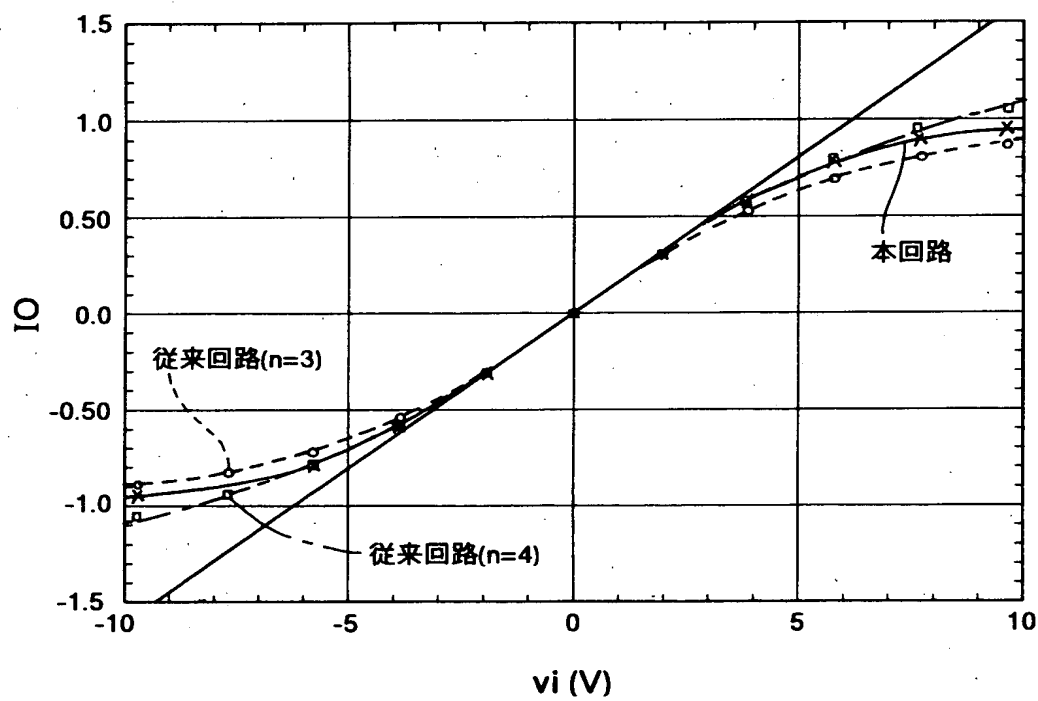
15A, 15B 第1の差動回路

16A, 16B 第2の差動回路

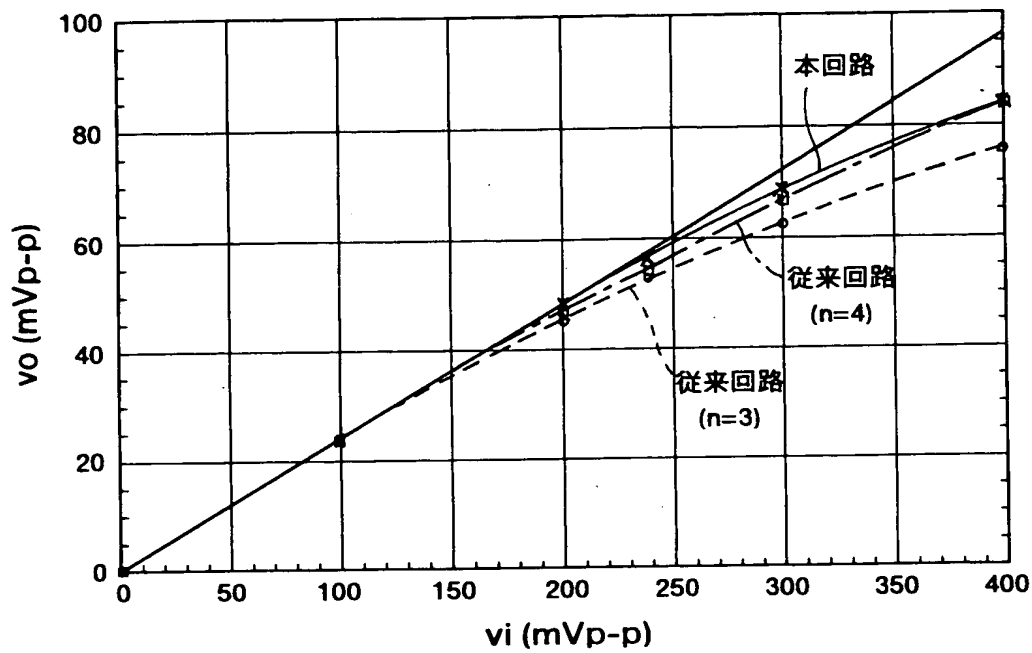
【図 2】



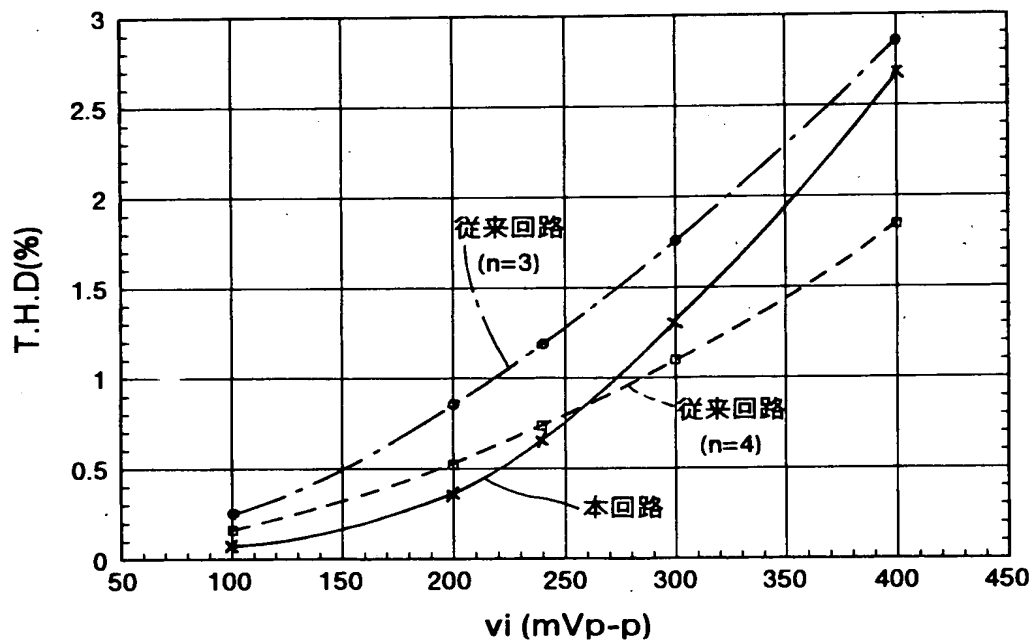
【図 3】



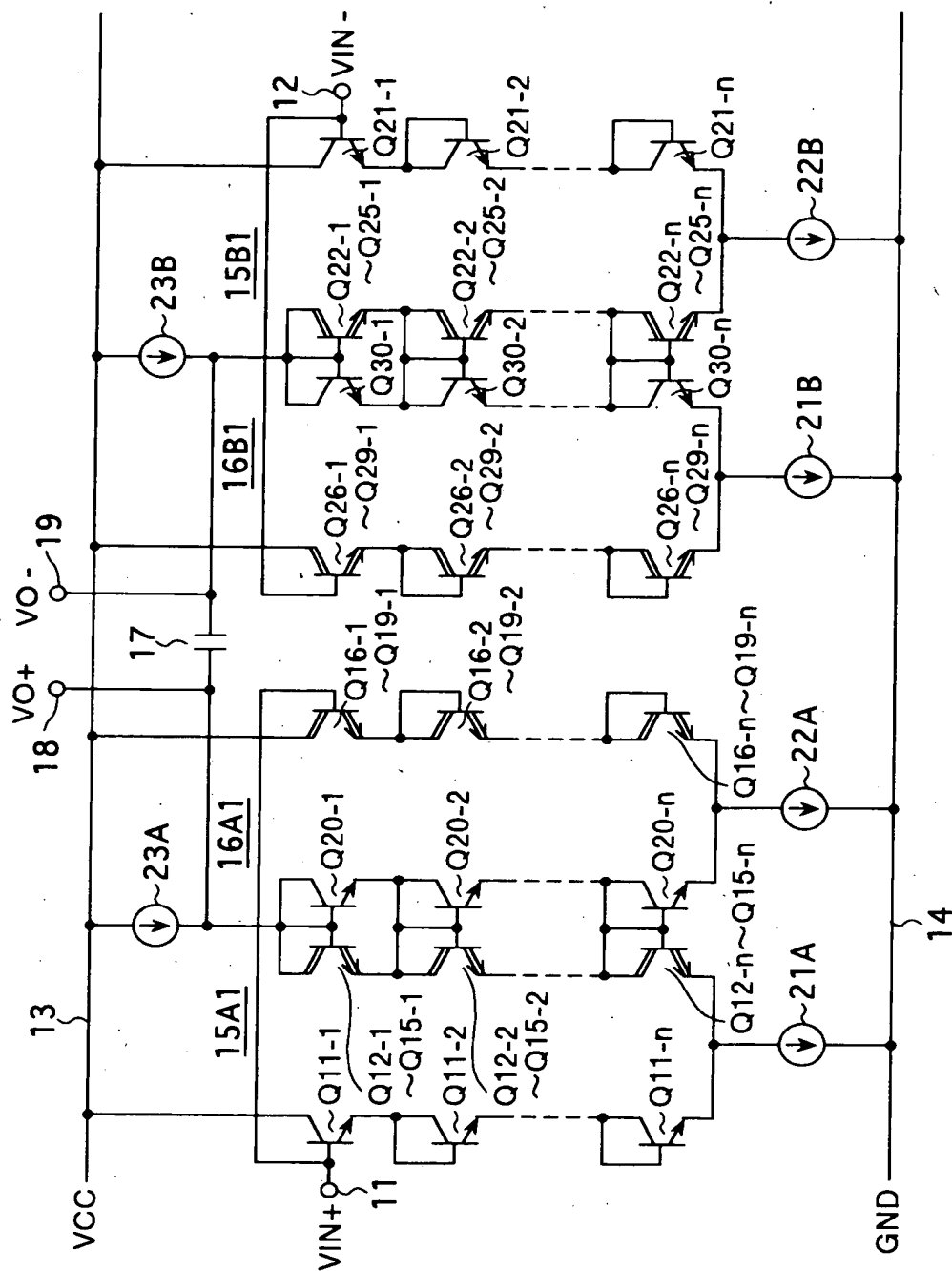
【図 4】



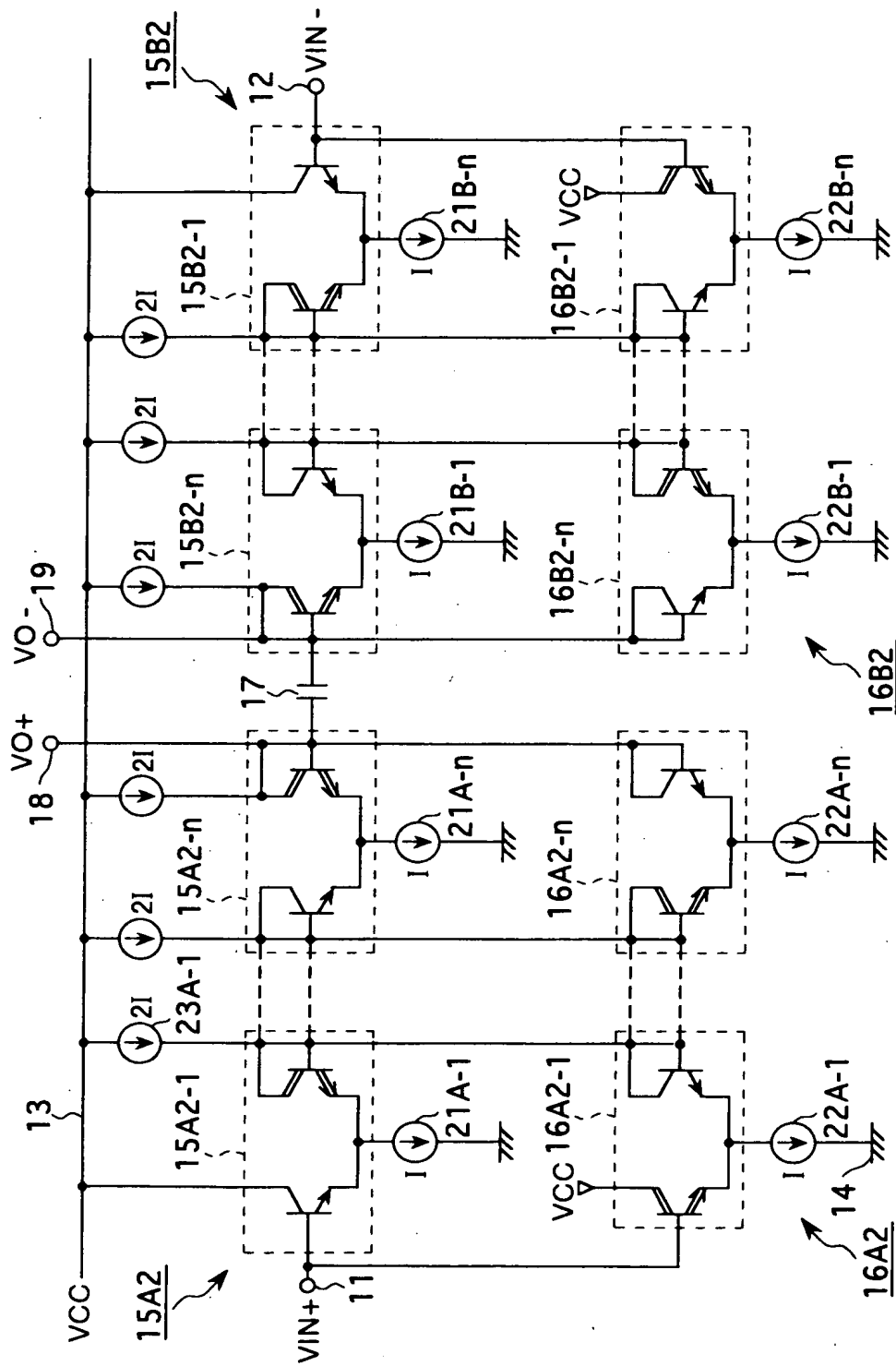
【図 5】



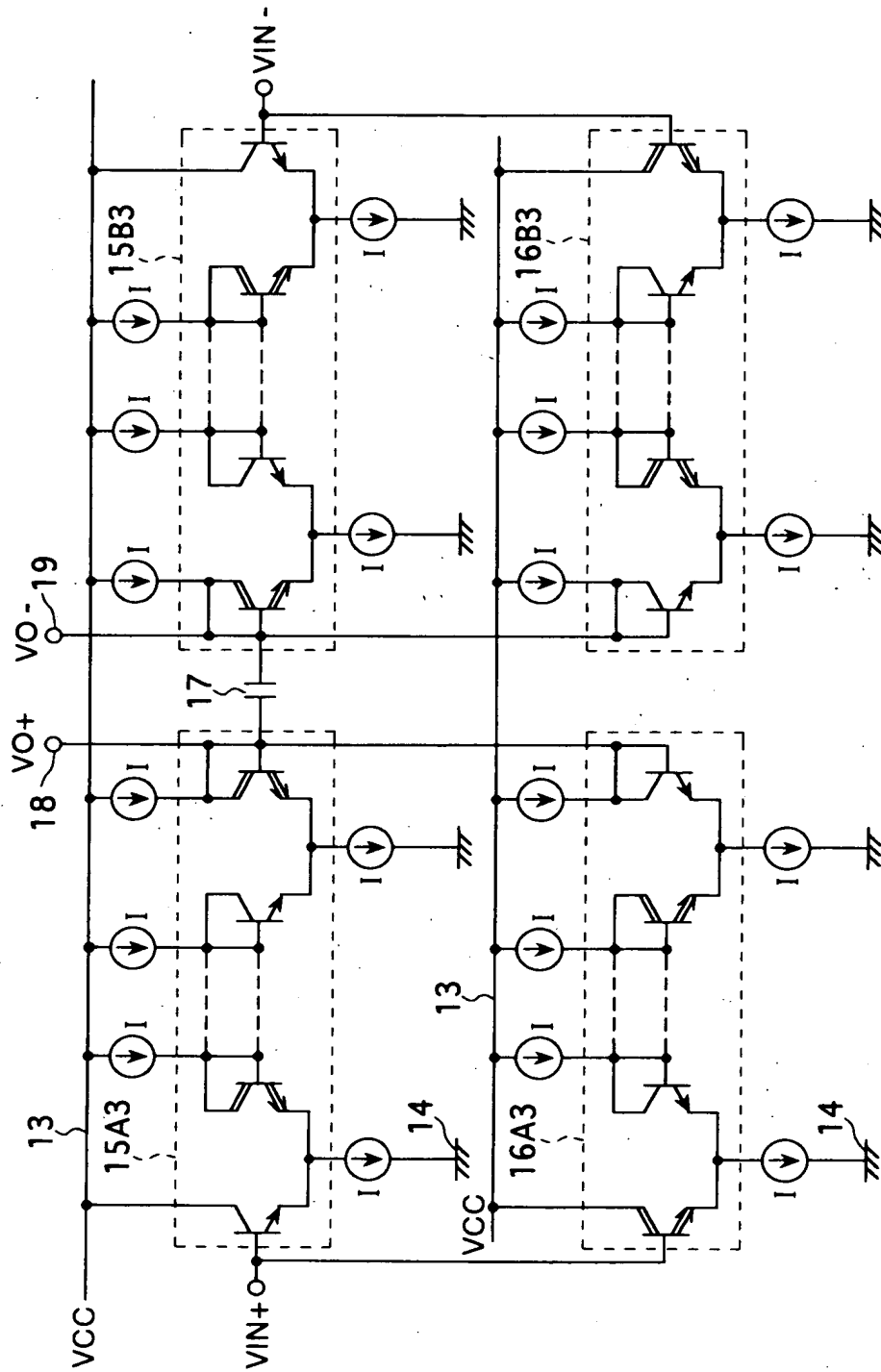
【図 6】



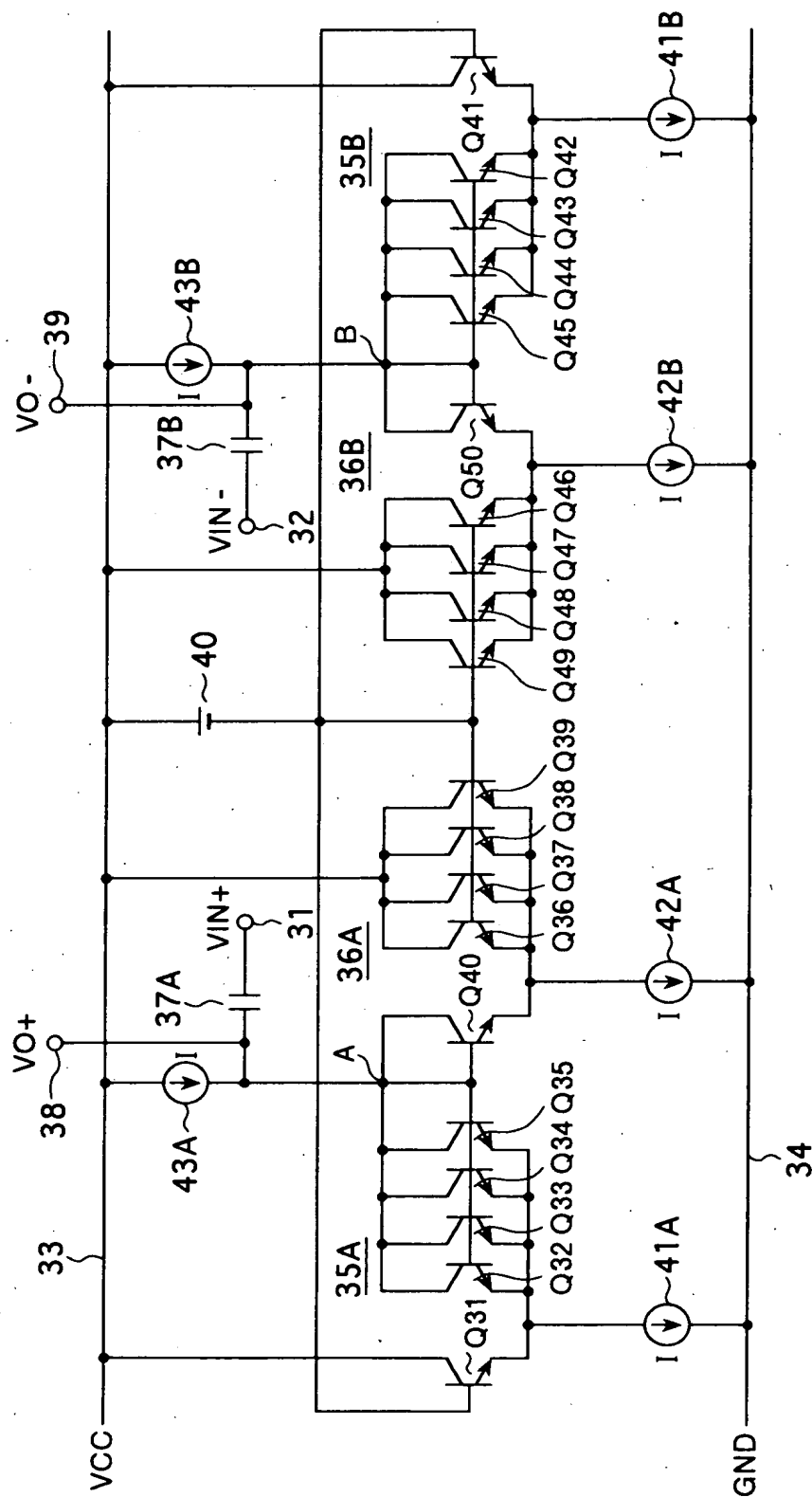
【図 7】



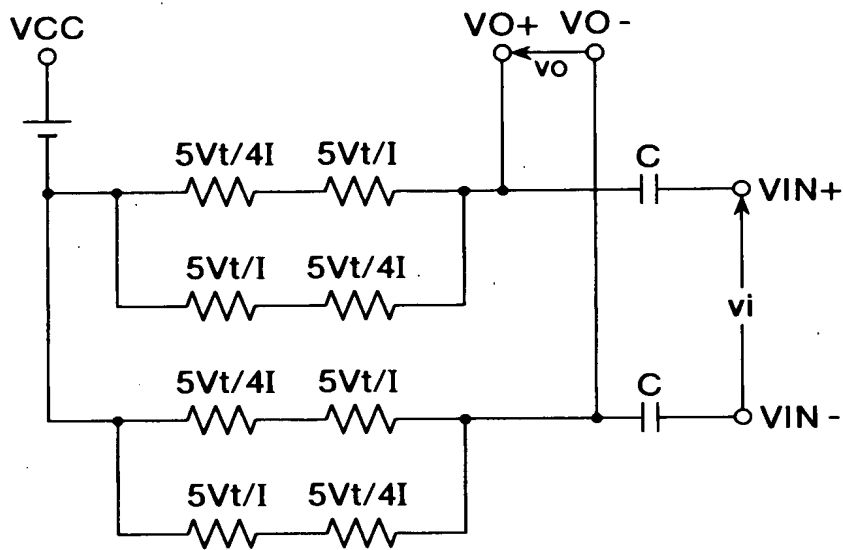
【图 8】



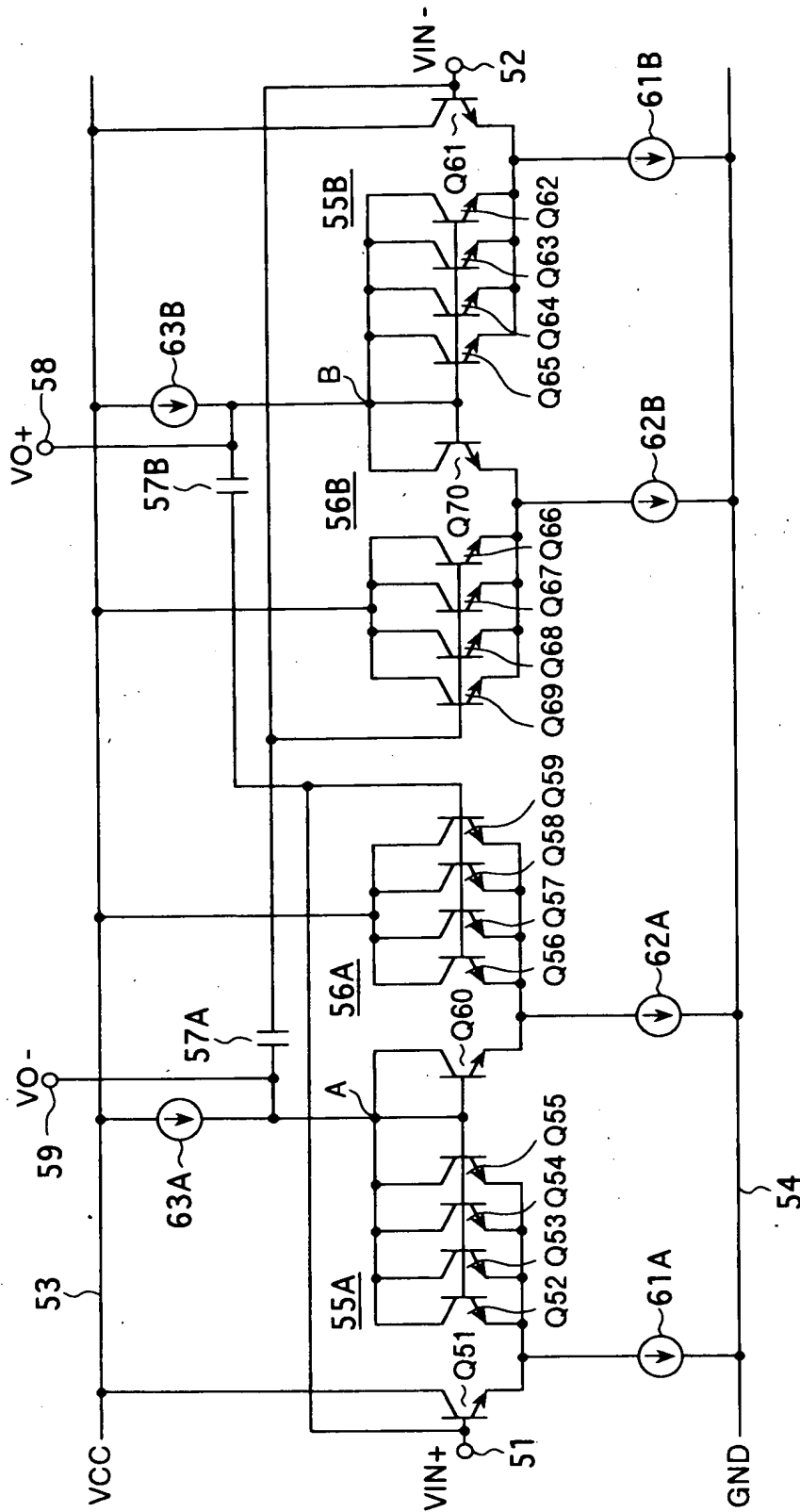
【図 9】



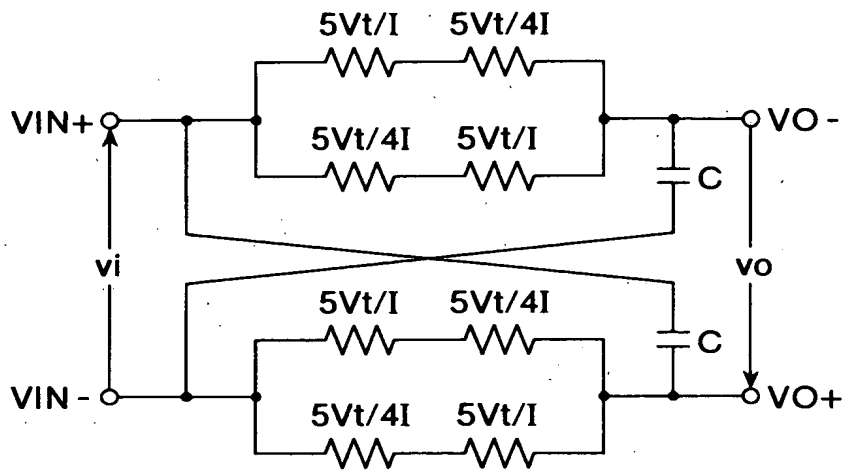
【図 10】



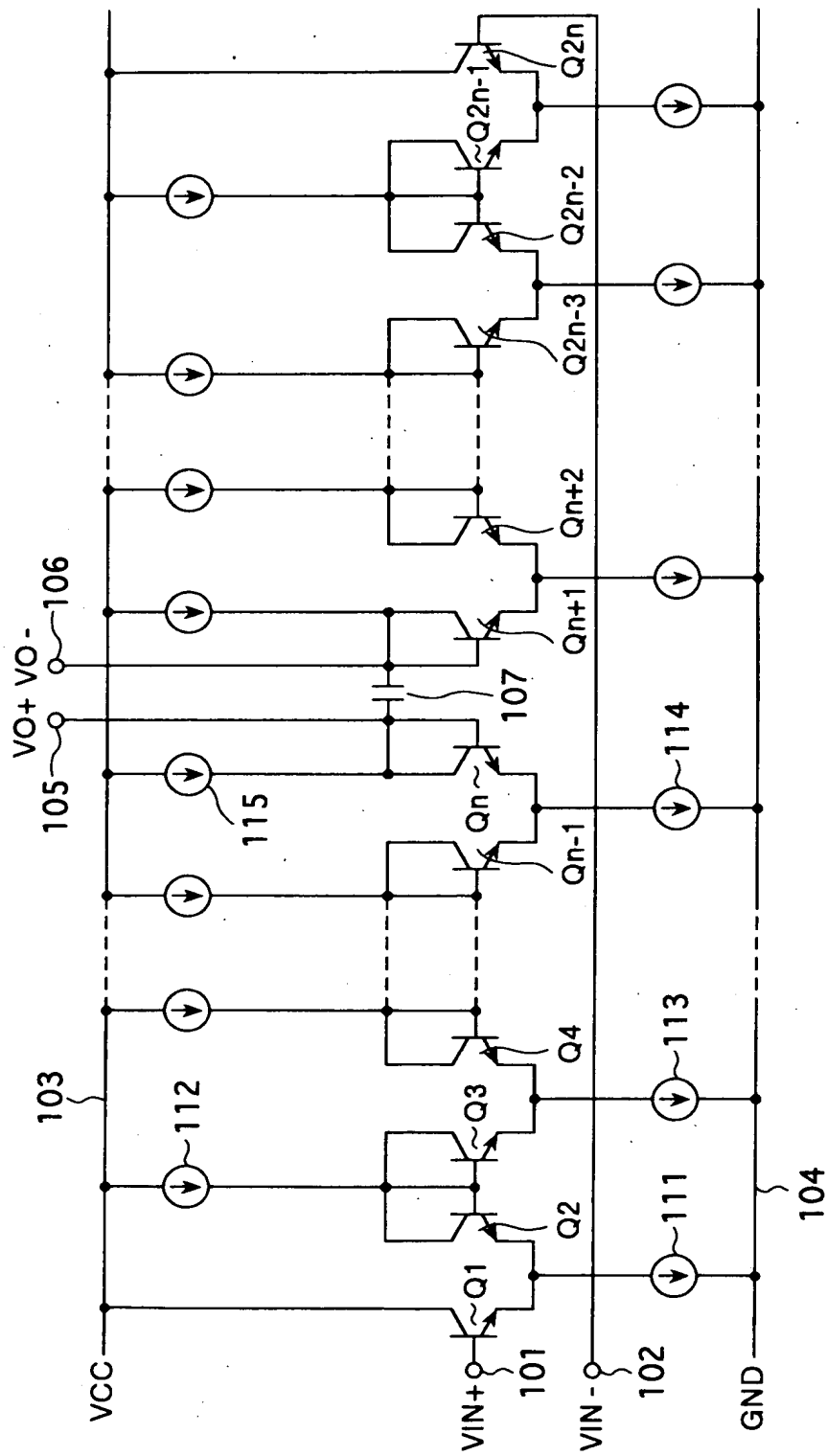
【図 11】



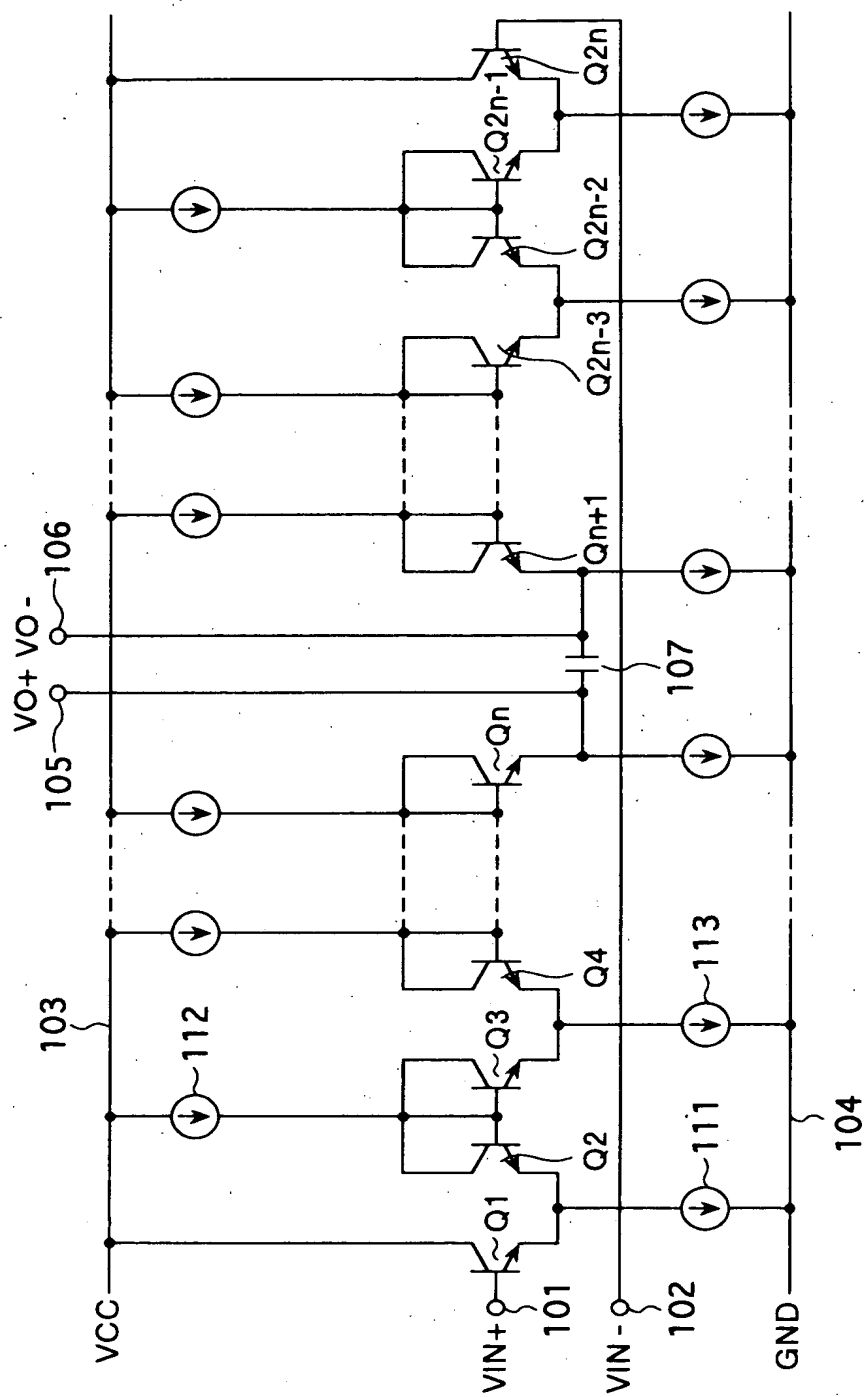
【図 12】



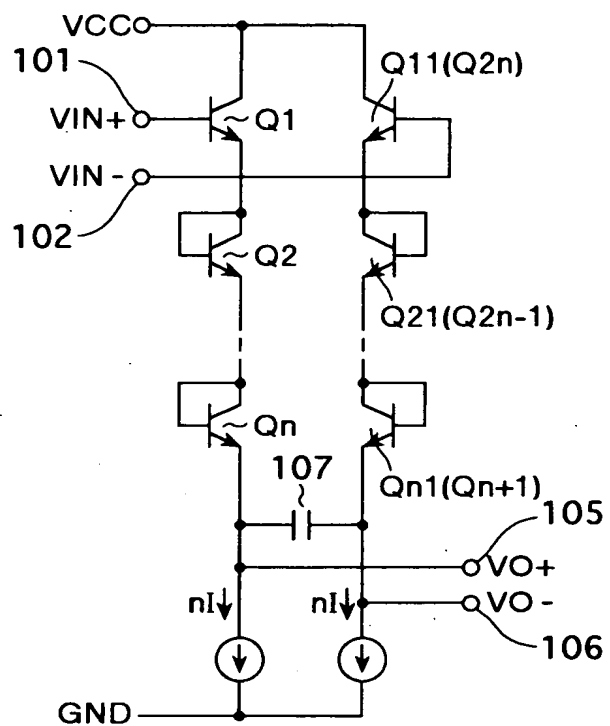
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 回路入力端子と回路出力端子との間にトランジスタのエミッタ抵抗が直列に接続され、回路出力端子間にコンデンサが接続された回路構成のフィルタ回路の場合、入力ダイナミックレンジを拡大するためにトランジスタの数を増やすと、消費電流が指数関数的に増加する。

【解決手段】 トランジスタとダイオードとの数の組み合わせが、1 : 4 の割合の第1の差動回路15A, 15Bと、4 : 1 の割合の第2の差動回路16A, 16Bとを設けるとともに、これら差動回路15A, 16Aの各トランジスタのベース電極を回路入力端子11に、差動回路15B, 16Bの各トランジスタのベース電極を回路入力端子12にそれぞれ接続し、さらにそれらのダイオードの接続ノードA, Bに電流源23A, 23Bを接続し、ノードAおよび回路出力端子18とノードBおよび回路出力端子19との間にコンデンサ17を接続する。

【選択図】 図1

【書類名】 手続補正書
【提出日】 平成13年 4月20日
【あて先】 特許庁長官 殿
【事件の表示】
 【出願番号】 特願2001- 2272
【補正をする者】
 【識別番号】 000002185
 【氏名又は名称】 ソニー株式会社
【代理人】
 【識別番号】 100086298
 【弁理士】
 【氏名又は名称】 船橋 國則
【手続補正 1】
 【補正対象書類名】 明細書
 【補正対象項目名】 0 0 7 3
 【補正方法】 変更
 【補正の内容】 1
【プルーフの要否】 要

【0073】

となり、カットオフ周波数 f_c が

$$f_c = 2 I / \underline{25} \pi \cdot V_t \cdot C$$

となる1次ハイパスフィルタとなる。

認定・付加情報

特許出願の番号	特願2001-002272
受付番号	50100580716
書類名	手続補正書
担当官	第七担当上席 0096
作成日	平成13年 4月25日

<認定情報・付加情報>

【補正をする者】

【識別番号】

000002185

【住所又は居所】

東京都品川区北品川6丁目7番35号

【氏名又は名称】

ソニー株式会社

【代理人】

申請人

【識別番号】

100086298

【住所又は居所】

神奈川県厚木市旭町4丁目11番26号 ジェン

トビル3階 船橋特許事務所

【氏名又は名称】

船橋 國則

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社